

【7章補完】 デバイスのミスマッチの性質

デバイスのミスマッチには一定の統計的な性質があり，デバイスの面積に対して以下のような関係がある．

$$\begin{aligned}\Delta V_T &\propto \frac{1}{\sqrt{S}} \\ \frac{\Delta C}{C} &\propto \frac{1}{\sqrt{S}} \propto \frac{1}{\sqrt{C}} \quad (7.25) \\ \frac{\Delta R}{R} &\propto \frac{1}{\sqrt{S}}\end{aligned}$$

つまり，デバイスのミスマッチ量はそのデバイスの面積の平方根に反比例するという傾向を有している．

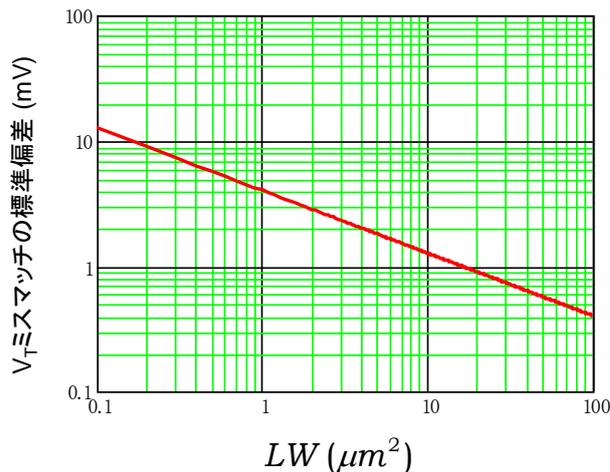


図 7.9 MOS トランジスタの V_T ミスマッチ特性

図 7.9 は $0.13 \mu\text{m}$ MOS トランジスタのゲート長 L ，ゲート幅 W の積に対する V_T ミスマッチ電圧の標準偏差を示している．一般的には酸化膜の厚さ T_{ox} (nm)，ゲート長 L (μm)，ゲート幅 W (μm) の MOS トランジスタのミスマッチ電圧 ΔV_T の標準偏差は，

$$\Delta V_T (\text{mV}) \approx \frac{T_{ox}}{\sqrt{LW}} \quad (7.26)$$

でおおよそ近似できるといわれている．ただし，ミスマッチ電圧 ΔV_T の標準偏差はゲート面積の平方根に反比例するが，比例係数は酸化膜の厚さにおおよそ比例し，プロセスの依存性がありプロセスにより異なる値をとる．したがって，ミスマッチ電圧を小さくするにはゲート面積を大きくする必要があり，小さなゲート面積で小さなミスマッチ電圧を得る

ことは容易ではなく、回路設計上の大きな課題となっている。

容量も同様であり、容量の面積の平方根に反比例するが、このことは容量値の平方根に反比例すると言い換えてもよい。つまり、 A_c を比例係数として、

$$\frac{\Delta C}{C} \approx \frac{A_c}{\sqrt{C}} \quad (7.27)$$

となる。図 7.10 に代表的な特性を示す。ここでも、容量ミスマッチを小さくするためには大きな容量を用いなければならないことが分かる。この例では A_c は 0.02 (%/pF) である。

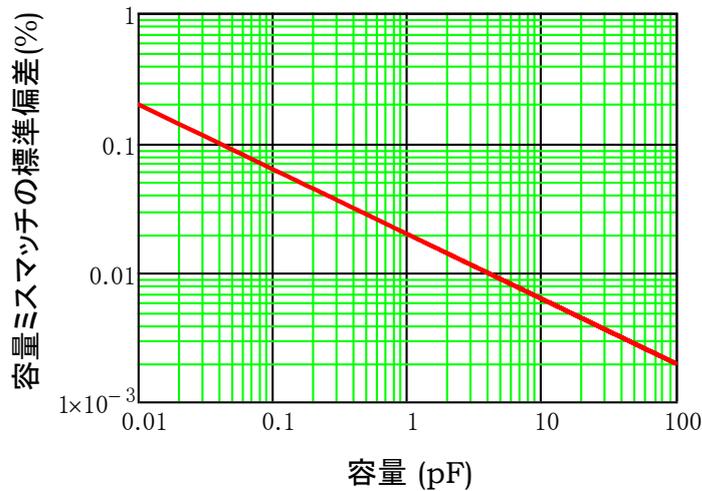


図 7.10 容量のミスマッチ特性

デバイスの特性ミスマッチが、ほとんどすべてこのような傾向をとることは次のように想像できる。ミスマッチは不純物や何らかの欠陥、密度や誘電率などのゆらぎから生じるものと考えられるが、単位面積当たりのこれらの量が一定だとして、ランダムプロセスにおけるその量の分散 σ^2 は面積 S に比例することが知られている。したがって、たとえば容量においてそのミスマッチは

$$\frac{\Delta C}{C} \propto \frac{\sqrt{S}}{S} = \frac{1}{\sqrt{S}} \propto \frac{1}{\sqrt{C}} \quad (7.28)$$

となり、面積もしくは容量の平方根に反比例するという傾向を導くことができる。